

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年10月23日

出願番号

Application Number:

特願2002-308767

[ ST.10/C ]:

[ JP 2002-308767 ]

出願人

Applicant(s):

沖電気工業株式会社

2003年 2月21日

特許庁長官  
Commissioner,  
Japan Patent Office

太田信一郎

出証番号 出証特2003-3009457

【書類名】 特許願

【整理番号】 OH003766

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/318

【発明者】

【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社  
社内

【氏名】 加藤 理

【特許出願人】

【識別番号】 000000295

【氏名又は名称】 沖電気工業株式会社

【代理人】

【識別番号】 100085419

【弁理士】

【氏名又は名称】 大垣 孝

【手数料の表示】

【予納台帳番号】 012715

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9001068

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体素子のゲートマスク製造方法

【特許請求の範囲】

【請求項 1】 半導体素子のゲートマスクである窒化膜を、750℃よりも高い、窒化膜から水素を離脱させる温度で成膜することを特徴とする半導体素子のゲートマスク製造方法。

【請求項 2】 前記温度は830℃以上であることを特徴とする請求項 1 に記載の半導体素子のゲートマスク製造方法。

【請求項 3】 半導体素子のゲートマスクである窒化膜を、アンモニアガスとシラン系ガスとを用いて、アンモニアガスの流量がシラン系ガスの流量よりも20倍以上多い状態のガス雰囲気中で成膜したことを特徴とする半導体素子のゲートマスク製造方法。

【請求項 4】 シリコン基板上に形成された多結晶シリコン膜またはアモルファスシリコン膜上にタングステンシリサイド膜を形成し、該タングステンシリサイド膜上にアンモニアガスとシラン系ガスとを用いて前記半導体素子のゲートマスクである窒化膜を成膜することを特徴とする請求項 1～3 のいずれか 1 項に記載の半導体素子のゲートマスク製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体素子におけるゲートマスクの製造方法に関し、特にシリコン基板上に形成された多結晶シリコン膜またはアモルファスシリコン膜に不純物がドーピングされている半導体素子におけるゲートマスクの製造方法に関する。

【0002】

【従来の技術】

従来より、シリコン基板上に形成された多結晶シリコン膜またはアモルファスシリコン膜に不純物がドーピングされている半導体素子がある。以下に、このような半導体素子の形成過程の一例を説明する。

【0003】

まず、シリコン基板上にゲート絶縁膜を成膜し、その上に多結晶シリコン膜またはアモルファスシリコン膜を成膜する。なお、以下の説明では多結晶シリコン膜として説明する。

【 0 0 0 4 】

次に、例えば以下のようにして、多結晶シリコン膜にPMOS部とNMOS部を形成する。

【 0 0 0 5 】

すなわち、まず、PMOS部となる領域が露出するように、多結晶シリコン膜上の、PMOS部となる領域以外の領域にフォトリソスト材でマスクを形成する。次に、露出している領域（すなわちPMOS部となる領域）にボロンなどのII族の不純物をイオン注入によりドーピングする。そして、マスクを除去する。これにより、多結晶シリコン膜にPMOS部を形成する。

【 0 0 0 6 】

次に、NMOS部となる領域が露出するように、多結晶シリコン膜上の、NMOS部となる領域以外の領域にフォトリソスト材でマスクを形成する。次に、露出している領域（すなわちNMOS部となる領域）にリンなどのV族の不純物をイオン注入によりドーピングする。そして、マスクを除去する。これにより、多結晶シリコン膜にNMOS部を形成する。なお、PMOS部の形成工程とNMOS部の形成工程の順序は半導体素子の構造によって任意に定める。

【 0 0 0 7 】

次に、ドーピングされた不純物イオンを活性化するために熱処理を行う。このとき、多結晶シリコン膜上に酸化膜が形成されるので、これを除去する。

【 0 0 0 8 】

次に、必要に応じて多結晶シリコン膜上に、タンゲステンシリサイド（WSix）膜を成膜し、その上に窒化膜を成膜する。

【 0 0 0 9 】

次に、窒化膜を任意のパターンに加工し、窒化膜により被覆されていない領域のタンゲステンシリサイド膜及び多結晶シリコン膜をエッチング除去する。

【 0 0 1 0 】

これによって、任意のパターンに加工された半導体素子のゲート構造が形成される。

#### 【 0 0 1 1 】

ところで、上述の製造工程において、窒化膜を成膜する工程は、通常、750℃の温度下で行われる。しかしながら、この後に行われるソース、ドレインを活性化のための熱処理によって、窒化膜中に残存する水素原子がタンゲステンシリサイド膜を透過して多結晶シリコン膜に拡散する。多結晶シリコン膜に拡散した水素原子は、多結晶シリコン膜にドーパされたボロンなどのIII族の不純物に影響を及ぼす。すなわち、ボロンなどのIII族の不純物の拡散を増速する。その結果、ボロンなどのIII族の不純物は、ゲート絶縁膜まで拡散して突き抜けるようになる。従って、窒化膜と近接する多結晶シリコン膜またはアモルファスシリコン膜にIII族の不純物がドーパされた半導体素子は、スレッショルド電圧 $V_t$ の変動量が個体毎に大きく異なる。従って、窒化膜と近接する多結晶シリコン膜またはアモルファスシリコン膜にIII族の不純物がドーパされた半導体素子は、信頼性が低いという問題があった。このような問題は、CMOSデバイスなどの半導体素子、その中でも特にデュアルゲートCMOSに多く発生していた。

#### 【 0 0 1 2 】

ところで、半導体素子の製造工程において、水素の量を制御する技術がいくつか開示されている。

#### 【 0 0 1 3 】

例えば、水素結合を有しないガスを用いて成膜する技術が開示されている（例えば、特許文献1参照。）。

#### 【 0 0 1 4 】

また、 $\text{SiH}_4$ に対する $\text{NH}_3$ の流量比を2以上10以下、 $\text{SiH}_4$ に対する $\text{N}_2$ の流量比を13以上17以下に制御して窒化膜を成膜する技術が開示されている（例えば、特許文献2参照。）。

#### 【 0 0 1 5 】

#### 【特許文献1】

特開平5-29301号公報（段落0009～段落0013）

## 【特許文献 2】

特開平 5 - 1 7 1 4 4 3 号公報（段落 0 0 2 1 ～段落 0 0 2 8、図 1）

## 【0 0 1 6】

## 【発明が解決しようとする課題】

特許文献 1 に開示された技術によれば、絶縁膜（窒化膜）を成膜するために  $N_2$  ガスを用いた例が開示されている。しかしながら、 $N_2$  は分解しにくいので、特許文献 1 に開示された技術では、窒化膜の成膜レートが低いという問題がある。また、 $N_2$  は、例えばプラズマを使うだけでなく 8 0 0 °C 以上という超高温下で処理する必要がある。そのため、半導体素子の製造装置は、プラズマを発生する機構を備えつつ、超高温を維持し、その状況下で処理を行うという条件を満たす必要がある。したがって、特許文献 1 に開示された技術では、半導体素子の製造装置を複雑な構造にしなければならないという問題がある。

## 【0 0 1 7】

また、特許文献 2 に開示された技術によれば、ガス中の水素の量を多くすることによって、シリコン原子及び窒素原子の未結合手に水素原子を結合させ、未結合手が少なくなった窒化シリコン膜を得ている。しかしながら、特許文献 2 に開示された技術では、窒化膜から多結晶シリコン膜またはアモルファスシリコン膜に拡散する水素原子については考慮していない。そのため、特許文献 2 に開示された技術では、多結晶シリコン膜またはアモルファスシリコン膜に拡散した水素によって、ボロンなどの III 族の不純物の拡散が増速されて、不純物がゲート絶縁膜まで拡散して突き抜けるようになる。その結果、窒化膜と近接する多結晶シリコン膜またはアモルファスシリコン膜に III 族の不純物がドーピングされた半導体素子は、スレッシュホールド電圧  $V_t$  の変動量が個体毎に大きく異なる。したがって、窒化膜と近接する多結晶シリコン膜またはアモルファスシリコン膜に III 族の不純物がドーピングされた半導体素子は、信頼性が低いという問題があった。

## 【0 0 1 8】

そこで、この発明では、窒化膜と近接する多結晶シリコン膜またはアモルファスシリコン膜に III 族の不純物がドーピングされた半導体素子において、スレッシュホールド電圧  $V_t$  が製造される半導体素子の個体毎に異なるようなことがないように

、窒化膜中に残存する水素原子の量を低減させ、これによって半導体素子の信頼性を向上させた半導体素子の製造方法を提供することを目的とする。

#### 【 0 0 1 9 】

##### 【課題を解決するための手段】

上記課題を解決するために、この発明に係る半導体素子のゲートマスク製造方法は、半導体素子のゲートマスクである窒化膜を、750℃よりも高い、窒化膜から水素を離脱させる温度で成膜することを特徴とする。これにより、窒化膜から水素を離脱させることができ、従って、窒化膜中に残存する水素原子の量を低減させることができる。

#### 【 0 0 2 0 】

また、他の発明に係る半導体素子のゲートマスク製造方法は、半導体素子のゲートマスクである窒化膜を、アンモニアガスとシラン系ガスを用いて、アンモニアガスの流量がシラン系ガスの流量よりも20倍以上多い状態で成膜することを特徴とする。すなわち、水素の量が少ない原料ガスを用いて窒化膜を成膜する。これにより、窒化膜中に残存する水素原子の量を低減させることができる。

#### 【 0 0 2 1 】

##### 【発明の実施の形態】

以下、図を参照してこの発明の実施の形態を説明する。なお、図1(A)～(D)及び図3(A)～(D)は、それぞれ、半導体素子のゲート電極を形成するために用いるゲートマスクを製造する工程における各段階で得られる構造体を示す図である。図1(A)～(D)及び図3(A)～(D)は、この発明を理解できる程度に、構成要素の形状、大きさ及び配置関係を概略的に示してあるにすぎない。また、各図において、共通する構成要素については、同一の符号を付し、説明を省略する。

#### 【 0 0 2 2 】

なお、以下の実施の形態では、アンモニアガスとシラン系ガスとを用いて窒化膜を形成する。これは、アンモニアガスが、分解し易いという特性、扱い易いという特性、及び、反応し易くかつ窒化膜の成膜レートが高いという特性を備えているので、窒化膜の成膜に際して、プラズマを発生させて成膜する必要がなく、

従って、簡単な設備で半導体素子を製造することができるからである。

#### 【 0 0 2 3 】

##### < 第 1 の実施の形態 >

図 1 は、第 1 の実施の形態に係る製造方法を説明するための工程図である。第 1 の実施の形態によれば、半導体素子のゲート電極形成用のゲートマスクを窒化膜とする場合に、この窒化膜を成膜するプロセス温度を、窒化膜から水素を離脱させる温度とする。すなわち、窒化膜から水素を離脱させる温度下で窒化膜を成膜する。これにより、水素原子を窒化膜からガス雰囲気中に放出させることができ、その結果、窒化膜中に残存する水素原子の量を低減させることができる。以下、詳細に説明する。なお、以下の説明において、ゲート電極を単にゲートと称する場合もある。

#### 【 0 0 2 4 】

窒化膜から水素を離脱させる温度としては、最低でも 7 5 0 ℃ より高い温度であり、好ましくは 8 0 0 ℃ 以上の温度、より好ましくは約 8 3 0 ℃ 以上の温度とするのがよい。その理由は、後述するような測定結果を有する窒化膜 1 9 が得られるからである。なお、上述の特許文献 1 における半導体素子の製造装置はプラズマを発生する機構を必要としているが、第 1 の実施の形態における半導体素子の製造装置はプラズマを発生する機構を必要としない。そのため、第 1 の実施の形態における半導体素子の製造装置は、特許文献 1 における半導体素子の製造装置よりも簡易な構造にすることができる。

#### 【 0 0 2 5 】

まず、図 1 (A) に示されるように、シリコン基板 1 1 上にゲート絶縁膜 1 3 を成膜し、その上に多結晶シリコン膜またはアモルファスシリコン膜を成膜する。なお、以下の説明では多結晶シリコン膜 1 5 として説明する。

#### 【 0 0 2 6 】

次に、例えば以下のようにして、多結晶シリコン膜 1 5 に PMOS 部と NMOS 部を形成する。なお、上記に説明したように、この発明は、PMOS 部となるボロンなどの III 族の不純物をドーピングする場合に生じる問題を解決することを目的としている。そこで、NMOS 部となる領域については図示せず、PMOS 部



となる領域の一部分のみを図1に示し、また以下の説明ではPMOS部となる領域を中心にして述べ、NMOS部となる領域については概略的にしか述べない。

#### 【0027】

まず、PMOS部となる領域が露出するように、多結晶シリコン膜上の、PMOS部となる領域以外の領域にフォトリソグレイでマスクを形成する。なお、図1にはPMOS部となる領域の一部のみが示されており、PMOS部となる領域以外の領域は図1の枠外に存在するため示されていない。次に、図1(A)中に矢印9として示すように、露出している領域（すなわちPMOS部となる領域）にボロンなどのIII族の不純物をイオン注入によりドーピングする。そして、マスクを除去する。これにより、多結晶シリコン膜にPMOS部を形成する。

#### 【0028】

次に、NMOS部となる領域が露出するように、多結晶シリコン膜上の、NMOS部となる領域以外の領域にフォトリソグレイでマスクを形成する。次に、露出している領域（すなわちNMOS部となる領域）にリンなどのV族の不純物をイオン注入によりドーピングする。そして、マスクを除去する。これにより、多結晶シリコン膜にNMOS部を形成する。なお、PMOS部の形成工程とNMOS部の形成工程の順序は半導体素子の構造によって任意に定める。

#### 【0029】

次に、ドーピングされた不純物イオンを活性化するために熱処理を行う。このとき、多結晶シリコン膜15上に酸化膜が形成されるので、これを除去する。

#### 【0030】

次に、図1(B)を参照して、ゲートマスクとなる窒化膜を成膜する工程を説明する。なお、図1(B)中、領域15Aは、不純物がドーピングされた領域を示している。領域15Aは、ボロンなどのIII族の不純物がドーピングされているので、PMOS部となる。

#### 【0031】

図1(B)に示されるように、必要に応じて不純物がドーピングされた領域である多結晶シリコン膜15A上に、タンゲステンシリサイド( $WSi_x$ )膜17などを成膜し、その上にアンモニア( $NH_3$ )ガスとシラン系ガス（例えばDCS（

ジクロロシラン ( $\text{SiH}_2\text{Cl}_2$ ) ガス) とを用いてゲートマスクとなる窒化膜 19 を減圧 CVD (化学蒸着) 法により成膜する。

#### 【0032】

なお、このときの成膜室内における成膜用ガス雰囲気の圧力は、0.2～0.4 トール (Torr) の範囲内の圧力とするのが好適である。また、このガス圧力下において窒化膜 19 を成膜するプロセス温度は、上述の通りの窒化膜 19 から水素を離脱させる温度とする。具体的には、最低でも 750℃ より高い温度であり、好ましくは 800℃ 以上の温度、より好ましくは約 830℃ 以上の温度とするのがよい。このようなプロセス温度に設定することにより、水素原子を窒化膜 19 から離脱させてガス雰囲気中に放出することができ、その結果、窒化膜 19 中の Si-H 結合の量を低減させることができる。

#### 【0033】

図 2 に、窒化膜 19 を成膜するプロセス温度と水素の関係を示す。図 2 は、窒化膜 19 における水素と Si の結合状態を示すグラフである。図 2 の横軸は波長 (単位は  $\text{cm}^{-1}$ ) を示し、縦軸は吸光度を示している。なお、吸光度は相対的に定まる係数であり、単位は存在しない。図 2 は、縦軸 (吸光度) の値が低いほど、窒化膜 19 における水素と Si の結合量が低くなることを示しており、水素の濃度が低減されていることを示している。

#### 【0034】

図 2 に示す測定結果において、点線、実線、一点鎖線は、それぞれ、730℃、780℃、830℃ のプロセス温度で成膜された窒化膜 19 における水素と Si の結合状態を測定した結果を示している。なお、ここではシラン系ガスとしてジクロロシランガスを用いており、このときのアンモニアガスとジクロロシランガスの流量比は 10 : 1 であり、また成膜室内における成膜用ガス雰囲気 of 圧力は 0.15 トールである。図 2 に示す測定結果は、プロセス温度が 730℃、780℃、830℃ のいずれの場合も、波長が  $2120\text{ cm}^{-1}$  を越えたあたりから吸光度が急激に上昇し、波長が  $2210\text{ cm}^{-1}$  前後で吸光度がピークとなり、そこから波長が  $2290\text{ cm}^{-1}$  前後にかけて吸光度が急激に下降することを示している。また図 2 に示す測定結果は、例えば、窒化膜 19 を成膜するプロセス温度

が730℃の場合に吸光度のピークが0.00170程度、780℃の場合に吸光度のピークが0.00105程度であるのが、830℃の場合には吸光度のピークが0.00040程度まで低くなることを示している。

#### 【0035】

図2に示す測定結果によれば、登りの勾配（波長が $2120\text{ cm}^{-1}$ から $2210\text{ cm}^{-1}$ かけての勾配）は、プロセス温度が730℃の場合に $(0.00170 - 0.00020) / (2210 - 2120) = 1.67 \times 10^{-5}$ となり、780℃の場合に $(0.00105 - 0.00015) / (2210 - 2120) = 1.00 \times 10^{-5}$ 、830℃の場合に $(0.00040 - 0.00005) / (2210 - 2120) = 0.39 \times 10^{-5}$ となる。また、下りの勾配（波長が $2210\text{ cm}^{-1}$ から $2290\text{ cm}^{-1}$ かけての勾配）は、プロセス温度が730℃の場合に $(0.00075 - 0.00170) / (2290 - 2210) = -1.19 \times 10^{-5}$ となり、780℃の場合に $(0.00040 - 0.00105) / (2290 - 2210) = -0.81 \times 10^{-5}$ 、830℃の場合に $(0.00015 - 0.00040) / (2290 - 2210) = -0.31 \times 10^{-5}$ となる。登りの勾配と下りの勾配が小さいほど、窒化膜中に残存する水素原子の量が低いことを示している。したがって、登りの勾配と下りの勾配が小さいほど、半導体素子の信頼性を向上させることができ、好適である。

#### 【0036】

このように、図2に示す測定結果は、プロセス温度が高温になるほど、好ましくは約830℃以上の温度になるほど、水素原子を窒化膜19から離脱させて、窒化膜19のSi-H結合の量を低減させることができることを示している。このようにして、プロセス温度が高温下で製造された窒化膜19は、水素化合物の含有量が少なく、かつ $\text{Si}_3\text{N}_4$ の純度が高い膜質となっている。

#### 【0037】

次に、図1(C)を参照してゲートマスクのパターニング工程を説明する。図1(C)に示されるように、フォトエッチング技術により窒化膜19上に任意のパターンに加工されたレジスト膜21を形成し、下地の窒化膜19に対してパターニングを行ってゲートマスクとしての窒化膜19aを形成する。然る後、レジ

スト膜 2 1 を除去してゲートマスクとしての窒化膜 1 9 a を残存させる。

【 0 0 3 8 】

次に、図 1 (D) を参照してゲート電極のパターニング工程を説明する。図 1 (D) に示されるように、ゲートマスクとしての窒化膜 1 9 a により被覆されていない領域のタングステンシリサイド膜 1 7 及び多結晶シリコン膜 1 5 A をエッチング除去する。

【 0 0 3 9 】

これによって、任意のパターンに加工されたタングステンシリサイド膜 1 7 a と任意のパターンに加工された多結晶シリコン膜 1 5 a の積層体からなるゲート電極 2 3 が形成される。

【 0 0 4 0 】

以上の通り、第 1 の実施の形態によれば、当該窒化膜から水素を離脱させるような高温下で窒化膜を成膜することにより、窒化膜の成膜時に窒化膜中に結合した或いは結合しようとしている水素原子を窒化膜からガス雰囲気中に逃散させることができ、従って、成膜される窒化膜中の水素の量を低減することができる。その結果、スレッシュホールド電圧  $V_t$  が、製造される半導体素子の個体毎に、異なるようなことがない半導体素子を提供することができる。

【 0 0 4 1 】

また、第 1 の実施の形態では、窒化膜を成膜する原料ガスの一種類としてアンモニアを用いている。アンモニアは、上述したように、分解し易いという特性、扱い易いという特性、及び、反応し易くかつ窒化膜の成膜レートが高いという特性を備えている。そのため、第 1 の実施の形態では、窒化膜の成膜に際して、プラズマを発生させて成膜する必要がなく、従って、簡単な設備で半導体素子を製造することができる。

【 0 0 4 2 】

さらに、第 1 の実施の形態では、窒化膜の成膜レートが高いアンモニアを用いるとともに、窒化膜を成膜するプロセス温度を高温にしている。そのため、第 1 の実施の形態では、高いレートで窒化膜を成膜することができ、従って、半導体素子を短時間で製造することができる。

## 【 0 0 4 3 】

## ＜第 2 の実施の形態＞

図 3 は、第 2 の実施の形態に係る製造方法を説明するための工程図である。第 2 の実施の形態によれば、半導体素子のゲート電極形成用のゲートマスクを窒化膜とする場合に、この窒化膜を成膜する原料ガスをアンモニアガスとシラン系ガスとし、さらにアンモニアガスの流量をシラン系ガスの流量よりも 2 0 倍以上多くする。以下、詳細に説明する。なお、アンモニアガスの流量をシラン系ガスの流量よりも 2 0 倍以上多くする理由は、後述するような測定結果を有する窒化膜 1 9 が得られるからである。

## 【 0 0 4 4 】

第 2 の実施の形態に係る製造方法の各工程は、第 1 の実施の形態に係る製造方法の各工程とほぼ同様である。

## 【 0 0 4 5 】

まず、図 3 (A) に示されるように、シリコン基板 1 1 上にゲート絶縁膜 1 3 を成膜し、その上に多結晶シリコン膜またはアモルファスシリコン膜を成膜する。なお、以下の説明では多結晶シリコン膜 1 5 として説明する。

## 【 0 0 4 6 】

次に、例えば以下のようにして、多結晶シリコン膜 1 5 に PMOS 部と NMOS 部を形成する。なお、この発明は、PMOS 部となるボロンなどの III 族の不純物をドーピングする場合に生じる問題を解決することを目的とする。そこで、NMOS 部となる領域については図示せず、PMOS 部となる領域の一部分のみを図 3 に示し、また以下の説明では PMOS 部となる領域を中心にして述べ、NMOS 部となる領域については概略的にしか述べない。

## 【 0 0 4 7 】

まず、PMOS 部となる領域が露出するように、多結晶シリコン膜上の、PMOS 部となる領域以外の領域にフォトリソグラフィ材でマスクを形成する。なお、図 3 には PMOS 部となる領域の一部のみが示されており、PMOS 部となる領域以外の領域は図 3 の枠外に存在するため示されていない。次に、図 3 (A) 中に矢印 9 として示すように、露出している領域（すなわち PMOS 部となる領域）

にボロンなどのIII族の不純物をイオン注入によりドーピングする。そして、マスクを除去する。これにより、多結晶シリコン膜にPMOS部を形成する。

#### 【0048】

次に、NMOS部となる領域が露出するように、多結晶シリコン膜上の、NMOS部となる領域以外の領域にフォトレジスト材でマスクを形成する。次に、露出している領域（すなわちNMOS部となる領域）にリンなどのV族の不純物をイオン注入によりドーピングする。そして、マスクを除去する。これにより、多結晶シリコン膜にNMOS部を形成する。なお、PMOS部の形成工程とNMOS部の形成工程の順序は半導体素子の構造によって任意に定める。

#### 【0049】

次に、ドーピングされた不純物イオンを活性化するために熱処理を行う。このとき、多結晶シリコン膜15上に酸化膜が形成されるので、これを除去する。

#### 【0050】

次に、図3（B）を参照して、ゲートマスクとなる窒化膜を成膜する工程を説明する。なお、図3（B）中、領域15Aは、不純物がドーピングされた領域を示している。領域15Aは、ボロンなどのIII族の不純物がドーピングされているので、PMOS部となる。

#### 【0051】

図3（B）に示されるように、必要に応じて不純物がドーピングされた領域である多結晶シリコン膜15A上に、タングステンシリサイド（ $WSi_x$ ）膜17などを成膜し、その上にアンモニア（ $NH_3$ ）ガスとシラン系ガス（例えばDCS（ジクロロシラン（ $SiH_2Cl_2$ ））ガス）とを用いてゲートマスクとなる窒化膜19を減圧CVD（化学蒸着）法により成膜する。

#### 【0052】

なお、このときの成膜室内における成膜用ガス雰囲気の流れ量は、アンモニアガスの流量がシラン系ガスの流量よりも20倍以上多い状態、好ましくはアンモニアガスとシラン系ガスの流量比が20：1～40：1の範囲内の流量比とするのがよい。すなわち、反応しやすく窒化膜の成膜レートが高い原料ガスを多めに用いて窒化膜を成膜する。これにより、窒化膜中に残存する水素の量を低減させる

ことができる。

【 0 0 5 3 】

図 4 に、窒化膜 1 9 を成膜するプロセス温度と水素の関係を示す。図 4 は、窒化膜 1 9 における水素と S i の結合状態を示すグラフである。図 4 の横軸は波長（単位は  $\text{cm}^{-1}$ ）を示し、縦軸は吸光度を示している。なお、吸光度は相対的に定まる係数であり、単位は存在しない。図 4 は、縦軸（吸光度）の値が低いほど、窒化膜 1 9 における水素と S i の結合量が低くなることを示しており、水素の濃度が低減されていることを示している。

【 0 0 5 4 】

図 4 に示す測定結果において、点線、実線、一点鎖線は、それぞれアンモニアガスとジクロロシラン（DCS）ガスの流量比が 1 : 1、1 0 : 1、2 0 : 1 で成膜された窒化膜 1 9 における水素と S i の結合状態を測定した結果を示している。なお、このときの窒化膜を成膜するプロセス温度は 7 8 0℃であり、また成膜室内における成膜用ガス雰囲気圧力は 0. 1 5 トールである。図 4 に示す測定結果は、アンモニアガスとジクロロシランガスの流量比が 1 : 1 の場合に、波長が 2 1 2 0  $\text{cm}^{-1}$  を越えたあたりから吸光度が急激に上昇し、波長が 2 2 0 5  $\text{cm}^{-1}$  前後で吸光度がピークとなり、そこから波長が 2 2 9 0  $\text{cm}^{-1}$  前後にかけて吸光度が急激に下降し、アンモニアガスとジクロロシランガスの流量比が 1 0 : 1 の場合と 2 0 : 1 の場合に、波長が 2 1 2 0  $\text{cm}^{-1}$  を越えたあたりから吸光度が急激に上昇し、波長が 2 2 2 0  $\text{cm}^{-1}$  前後で吸光度がピークとなり、そこから波長が 2 2 9 0  $\text{cm}^{-1}$  前後にかけて吸光度が急激に下降することを示している。また図 4 に示す測定結果は、例えば、アンモニアガスとジクロロシランガスの流量比が 1 : 1 の場合に吸光度のピークが 0. 0 0 2 3 0 程度、1 0 : 1 の場合に 0. 0 0 1 0 5 であるのが、2 0 : 1 の場合には吸光度のピークが 0. 0 0 0 7 5 程度まで低くなることを示している。

【 0 0 5 5 】

図 4 に示す測定結果によれば、登りの勾配は、アンモニアガスとジクロロシランガスの流量比が 1 : 1 の場合に、波長が 2 1 2 0  $\text{cm}^{-1}$  から 2 2 0 5  $\text{cm}^{-1}$  かけての勾配となり、アンモニアガスとジクロロシランガスの流量比が 1 0 : 1 の

場合と20:1の場合に、波長が $2120\text{ cm}^{-1}$ から $2220\text{ cm}^{-1}$ かけての勾配となる。登りの勾配は、アンモニアガスとジクロロシランガスの流量比が1:1の場合に $(0.00230 - 0.00025) / (2205 - 2120) = 2.41 \times 10^{-5}$ となり、10:1の場合に $(0.00105 - 0.00015) / (2220 - 2120) = 0.90 \times 10^{-5}$ 、20:1の場合に $(0.00075 - 0.00005) / (2220 - 2120) = 0.70 \times 10^{-5}$ となる。また、下りの勾配はアンモニアガスとジクロロシランガスの流量比が1:1の場合に $(0.00070 - 0.00230) / (2290 - 2205) = -1.88 \times 10^{-5}$ となり、10:1の場合に $(0.00045 - 0.00105) / (2290 - 2220) = -0.86 \times 10^{-5}$ 、20:1の場合に $(0.00030 - 0.00075) / (2290 - 2220) = -0.64 \times 10^{-5}$ となる。登りの勾配と下りの勾配が小さいほど、窒化膜中に残存する水素原子の量が低いことを示している。したがって、登りの勾配と下りの勾配が小さいほど、半導体素子の信頼性を向上させることができ、好適である。

## 【0056】

このように、図4に示す測定結果は、アンモニアガスの流量がシラン系ガスの流量よりも多い状態になるほど、好ましくはシラン系ガスに対するアンモニアガスの流量比が20以上の状態になるほど、窒化膜19のSi-H結合の量を低減させることができることを示している。このようにして、アンモニアガスの流量がシラン系ガスの流量よりも多い状態で製造された窒化膜19は、水素化合物の含有量が少なく、かつ $\text{Si}_3\text{N}_4$ の純度が高い膜質となっている。なお、上述した流量比の上限である40:1という数値は、すでに普及している製造装置の大半が流せるガスの流量比の上限を意味している。この値は、製造装置の性能次第で変わりうる。

## 【0057】

次に、図3(C)を参照してゲートマスクのパターニング工程を説明する。図3(C)に示されるように、フォトエッチング技術により窒化膜19上に任意のパターンに加工されたレジスト膜21を形成し、下地の窒化膜19に対してパターニングを行ってゲートマスクとしての窒化膜19aを形成する。然る後、レジ



スト膜 21 を除去してゲートマスクとしての窒化膜 19 a を残存させる。

【0058】

次に、図 3 (D) を参照してゲート電極のパターニング工程を説明する。図 3 (D) に示されるように、ゲートマスクとしての窒化膜 19 a により被覆されていない領域のタングステンシリサイド膜 17 及び多結晶シリコン膜 15 をエッチング除去する。

【0059】

これによって、任意のパターンに加工されたタングステンシリサイド膜 17 a と任意のパターンに加工された多結晶シリコン膜 15 a の積層体からなるゲート電極 23 が形成される。

【0060】

以上の通り、第 2 の実施の形態によれば、アンモニアガスの流量がシラン系ガスの流量よりも 20 倍以上多い状態で窒化膜を成膜することにより、シリコン原子及び窒素原子の未結合手と結合しようとする水素原子の量を抑制することができる。その結果、スレッシュホールド電圧  $V_t$  が、製造される半導体素子の個体毎に、異なるようなことがない半導体素子を提供することができる。

【0061】

また、第 2 の実施の形態では、第 1 の実施の形態と同様に、窒化膜を成膜する原料ガスの一種類としてアンモニアを用いている。アンモニアは、上述したように、分解し易いという特性、扱い易いという特性、及び、反応し易くかつ窒化膜の成膜レートが高いという特性を備えている。そのため、第 2 の実施の形態では、窒化膜の成膜に際して、プラズマを発生させて成膜する必要がなく、従って、簡単な施設で半導体素子を製造することができる。

【0062】

さらに、第 2 の実施の形態では、第 1 の実施の形態と同様に、窒化膜の成膜レートが高いアンモニアを用いるとともに、窒化膜を成膜するプロセス温度を高温にしている。そのため、第 2 の実施の形態では、高いレートで窒化膜を成膜することができ、従って、半導体素子を短時間で製造することができる。

【0063】

その上、第 2 の実施の形態では、窒化膜を成膜するためのプロセス温度を高温にする必要がないので、第 1 の実施の形態よりも、ボロンやリンなどの不純物による拡散層の広がりを抑制することができる。

【 0 0 6 4 】

なお、第 1 の実施の形態及び第 2 の実施の形態では、多結晶シリコン膜に不純物をドーピングする場合を例にして説明したが、アモルファスシリコン膜に不純物をドーピングする場合も同様である。

【 0 0 6 5 】

【発明の効果】

以上説明したこの発明は、スレッショルド電圧  $V_t$  が、製造される半導体素子個体毎に、異なるようなことがない半導体素子を提供することができるという効果を奏する。

【図面の簡単な説明】

【図 1】

第 1 の実施の形態に係る製造方法を説明するための工程図である。

【図 2】

水素の結合状態を示すグラフである。

【図 3】

第 2 の実施の形態に係る製造方法を説明するための工程図である。

【図 4】

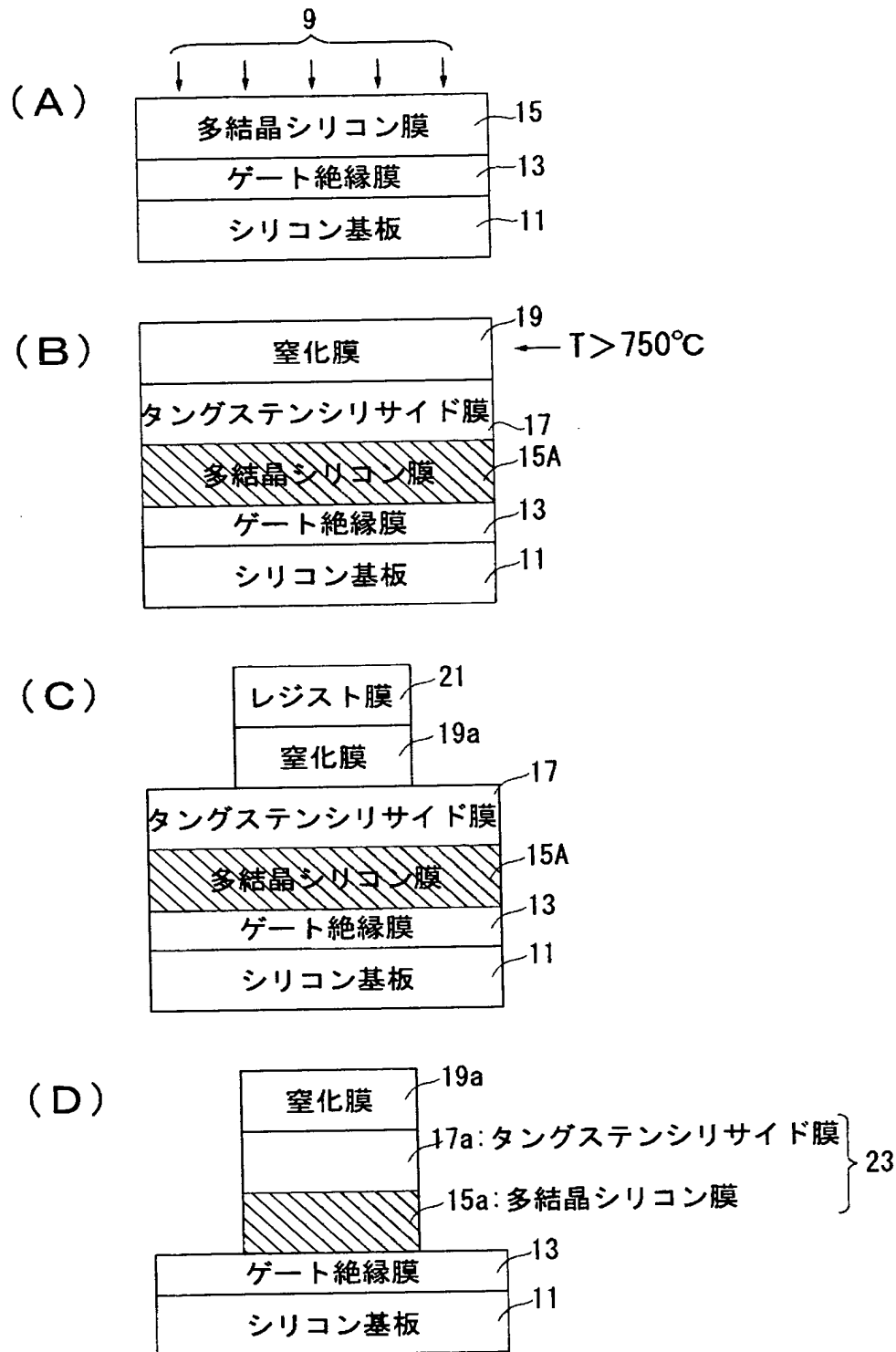
水素の結合状態を示すグラフである。

【符号の説明】

- 1 1 シリコン基板
- 1 3 ゲート絶縁膜
- 1 5 多結晶シリコン膜
- 1 7 タングステンシリサイド膜
- 1 9 窒化膜
- 2 1 レジスト膜

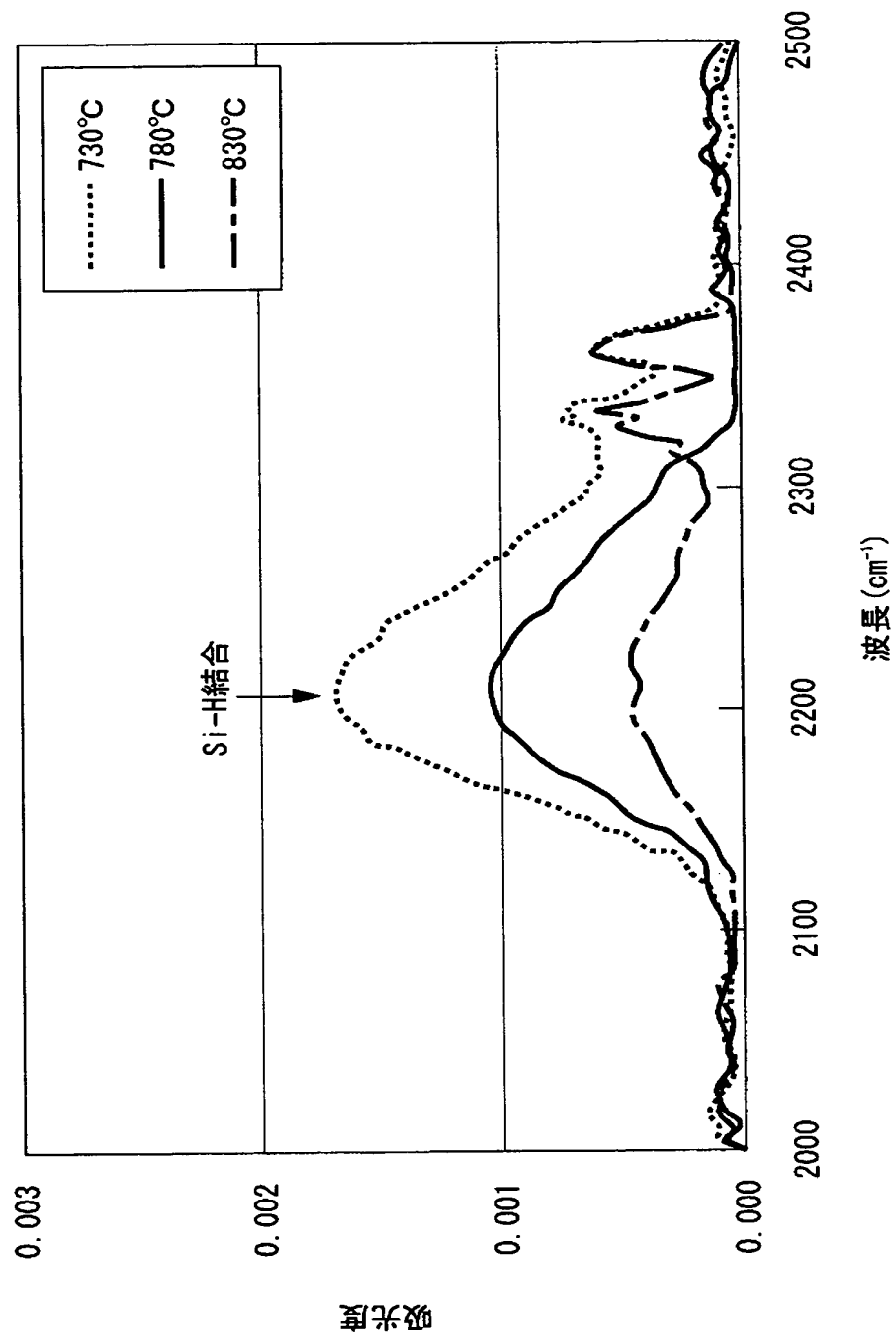
【書類名】 図面

【図 1】



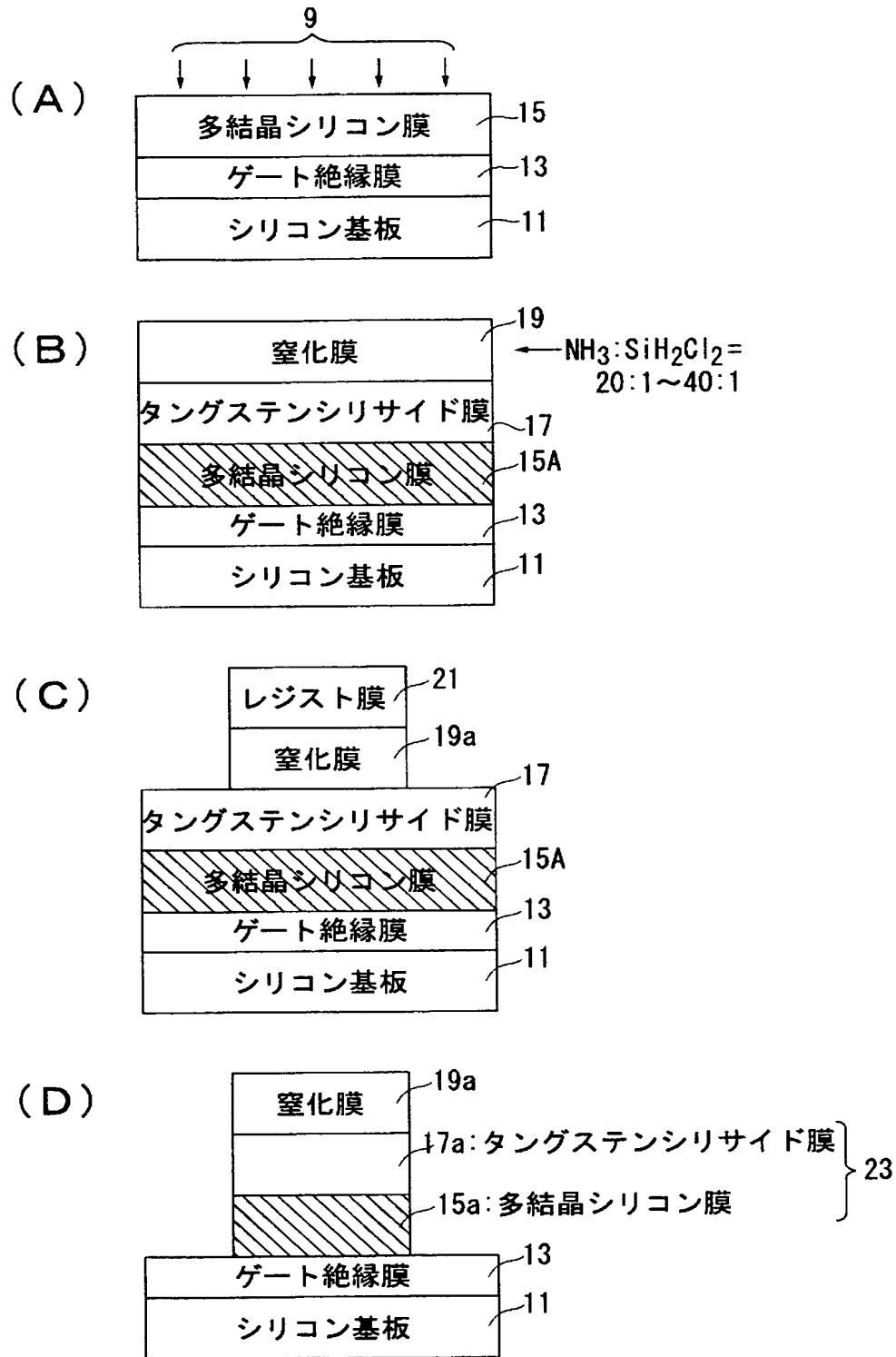
第 1 の実施の形態に係る製造方法を示す図

【図 2】



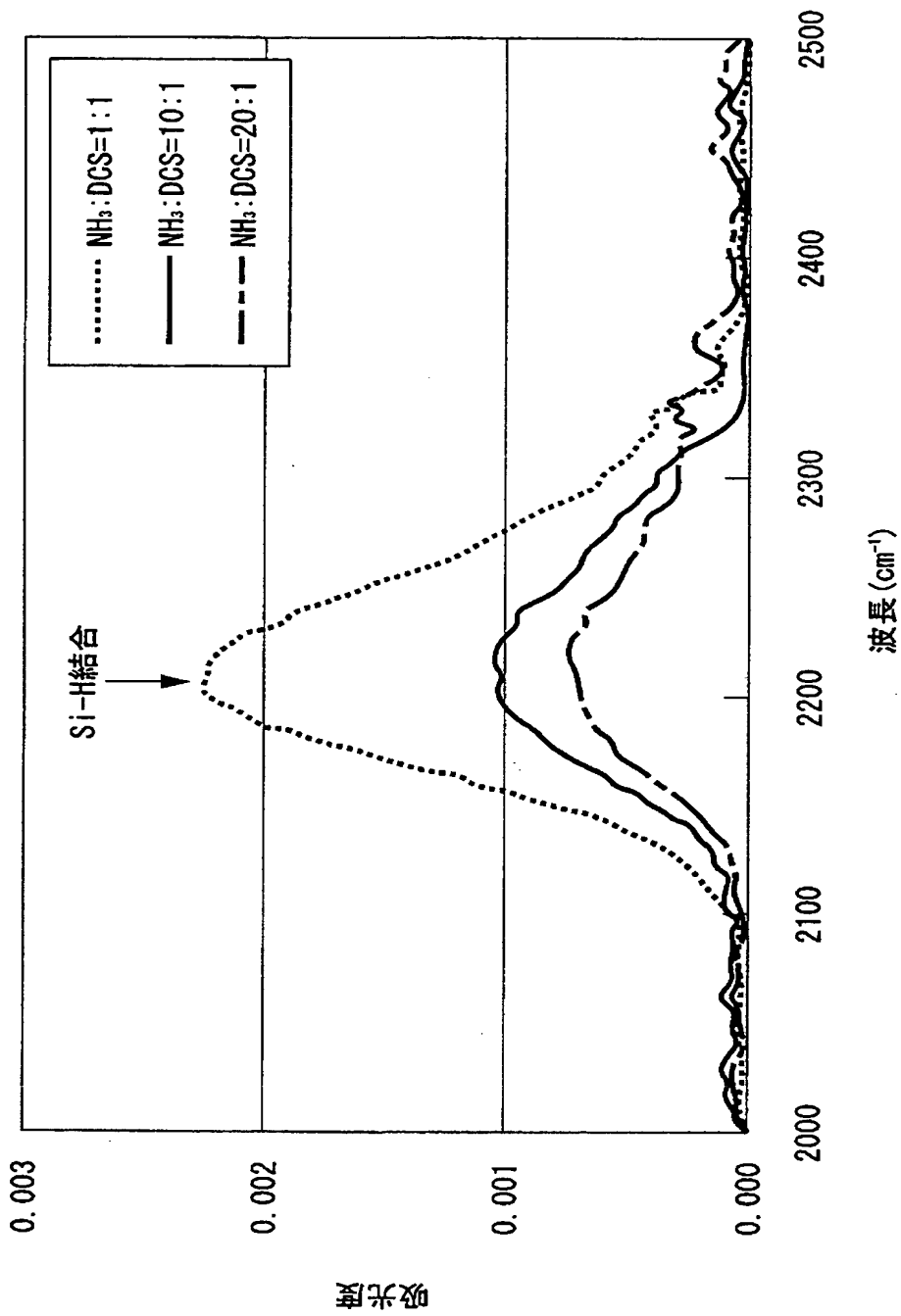
水素の結合状態を示すグラフ

【図 3】



第 2 の実施の形態に係る製造方法を示す図

【図 4】



水素の結合状態を示すグラフ

【書類名】 要約書

【要約】

【課題】 窒化膜と近接する多結晶シリコン膜またはアモルファスシリコン膜に III 族の不純物がドーピングされた半導体素子において、スレッシュホールド電圧  $V_t$  が製造される半導体素子の個体毎に異なるという問題があった。

【解決手段】 半導体素子のゲートマスクである窒化膜を、750℃よりも高い、窒化膜から水素を離脱させる温度で成膜する。または、半導体素子のゲートマスクである窒化膜を、アンモニアガスとシラン系ガスを用いて、アンモニアガスの流量がシラン系ガスの流量よりも20倍以上多い状態で成膜する。

【選択図】 図1





出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 0 2 9 5 ]

|          |                     |
|----------|---------------------|
| 1. 変更年月日 | 1 9 9 0 年 8 月 2 2 日 |
| [変更理由]   | 新規登録                |
| 住 所      | 東京都港区虎ノ門1丁目7番12号    |
| 氏 名      | 沖電気工業株式会社           |